

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012482  
 (43)Date of publication of application : 14.01.2000

(51)Int.CI. H01L 21/265

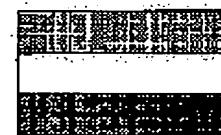
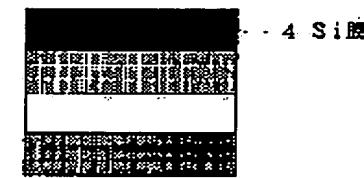
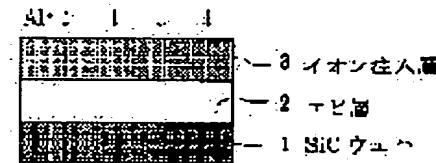
(21)Application number : 10-174284 (71)Applicant : FUJI ELECTRIC CO LTD  
 (22)Date of filing : 22.06.1998 (72)Inventor : TSUJI TAKASHI

## (54) PRODUCTION OF SILICON CARBIDE SEMICONDUCTOR ELEMENT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent element characteristics from deteriorating due to surface roughening of a silicon carbide substrate when annealing (a) is performed at 1500° C or above following to ion implantation for the purpose of recovery from damage and activation of impurities in order to produce a silicon carbide semiconductor element.

**SOLUTION:** A polysilicon film 4 is deposited on the surface of an ion implantation layer 3 of a silicon carbide substrate by low pressure CVD and subjected to annealing. Subsequently, the polysilicon film 4 is dissolved by hydrofluoric acid and removed thus keeping initial surface roughness. The polysilicon film and a silicon carbide film or the polysilicon film and an alumina film may be deposited.



BEST AVAILABLE COPY

### LEGAL STATUS

[Date of request for examination] 15.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-12482

(P2000-12482A)

(43)公開日 平成12年1月14日 (2000.1.14)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 21/265

識別記号

F I

H 0 1 L 21/265

テーマコード(参考)

Z

6 0 2 A

審査請求 未請求 請求項の数6 O L (全4頁)

(21)出願番号 特願平10-174284

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(22)出願日 平成10年6月22日(1998.6.22)

(72)発明者 辻 崇

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100088339

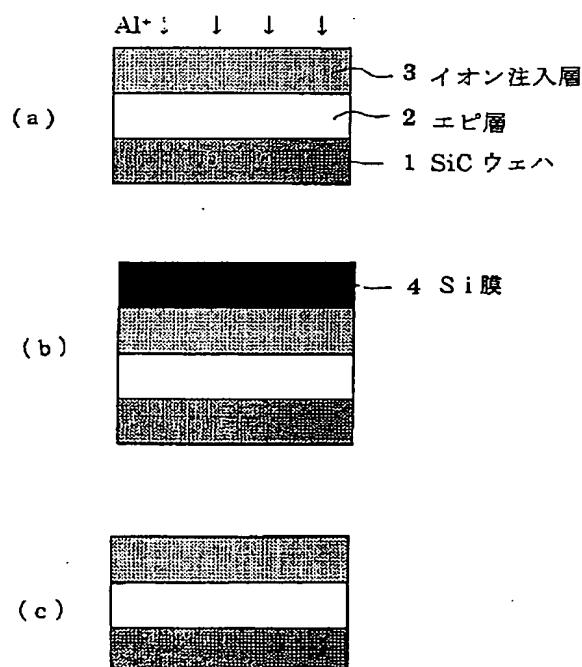
弁理士 篠部 正治

(54)【発明の名称】炭化けい素半導体素子の製造方法

(57)【要約】

【課題】炭化けい素半導体素子製造のため、イオン注入をおこない、更にダメージ回復と不純物活性化のため1500°C以上のアニールをおこなう際の、炭化けい素基板表面の粗面化による素子特性の劣化を防止する。

【解決手段】炭化けい素基板のイオン注入層3表面上に、減圧CVD法により多結晶シリコン膜4を堆積し、アニールをおこなった後、多結晶シリコン膜4をふっ硝酸で溶解除去して、初期の表面粗さを保つ。多結晶シリコン膜と炭化けい素膜、多結晶シリコン膜とアルミニウム膜を堆積しても良い。



1

## 【特許請求の範囲】

【請求項1】炭化けい素基板にイオン注入を行い、高温でアニールを実施する炭化けい素半導体素子の製造方法において、イオン注入後、基板表面にシリコンを接触させてアニールを行い、その後そのシリコンを除去することを特徴とする炭化けい素半導体素子の製造方法。

【請求項2】イオン注入後、炭化けい素基板表面にシリコン膜を堆積することを特徴とする請求項1記載の炭化けい素半導体素子の製造方法。

【請求項3】イオン注入後、炭化けい素基板表面にシリコン膜と炭化けい素膜とを順次堆積することを特徴とする請求項1記載の炭化けい素半導体素子の製造方法。

【請求項4】イオン注入後、炭化けい素基板表面にシリコン膜とアルミナ膜とを順次堆積することを特徴とする請求項1記載の炭化けい素半導体素子の製造方法。

【請求項5】イオン注入後、炭化けい素基板をシリコン融液中でアニールすることを特徴とする請求項1記載の炭化けい素半導体素子の製造方法。

【請求項6】シリコン膜をふっ硝酸により除去することを特徴とする請求項2ないし5のいずれかに記載の炭化けい素半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は炭化けい素からなる半導体素子の製造方法に関する。

## 【0002】

【従来の技術】高周波、大電力の制御を目的として、シリコン（以下Siと記す）を用いた電力用半導体素子（以下パワーデバイスと称する）では、各種の工夫により高性能化が進められている。しかし、パワーデバイスは高温や放射線等の存在下で使用されることもあり、そのような条件下ではSiのパワーデバイスは使用できないことがある。また、従来のSiパワーデバイス、あるいはその理論的な限界を越える高耐圧化、大電流化、耐高温性等が要求されるようになってきている。

【0003】そのようなSiパワーデバイスより高性能のものを求める声に対して、新しい材料の適用が検討されている。本発明でとりあげる炭化けい素（以下SiCと記す）は広い禁制帯幅（4H型で3.26eV、6H型で3.02eV）をもつため、高温での電気伝導度の制御性に優れ、動作上限温度を高くできる。またSiより約1桁高い絶縁破壊電圧をもつため、オン抵抗を低減でき、定常状態でのパワーロスを低減でき、高耐圧素子への適用が可能である。さらに、SiCはSiの約2倍の電子飽和ドリフト速度をもつて、高周波大電力制御にも適する。このようなSiCの長所を生かすことができれば、パワーデバイスの飛躍的な特性向上が実現できると考えられ、現在、MOSFETやダイオード等が試作されている。

## 【0004】しかし、このようなSiCの優れた物性を

2

パワーデバイスに応用するためには、Siのプロセス技術並みに洗練された要素技術が必要となる。すなわち、SiCウェハの表面を鏡面に仕上げた後、SiC薄膜をエピタキシャル成長させたり、ドナーやアクセプターをドーピングしたり、金属膜や絶縁膜を形成する等のプロセス技術の確立が必要である。

【0005】最も重要なプロセス技術の一つとして、選択的な不純物導入による不純物領域形成技術がある。一般的な方法としては、熱拡散法とイオン注入法がある。

10 Si半導体素子で広く用いられている熱拡散法は、SiCでは不純物の拡散係数が非常に小さいために適用が困難である。そのためSiCでは主にイオン注入法が用いられる。

【0006】しかし、Siのプロセスで用いられているような通常のイオン注入では、結晶にダメージが生じる、このダメージの回復と、注入した不純物の活性化のため、通常1500°C前後の高温で熱処理（以下アニールと呼ぶ）がおこなわれる。

## 【0007】

【発明が解決しようとする課題】しかし、さらに活性化率の増大を図るため、1500°C以上のアニールを行うと、SiCウェハのイオン注入層表面に筋状の凹凸が生じる。この筋状の凹凸の方向はSiCウェハのオフ角度の方向に対して垂直である。そしてこの凹凸はアニール温度を高くするほど、またイオンの注入ドーズ量を増加させるほど大きくなる。例えば、常圧のアルゴン中の1450°Cのアニールで、表面粗さが平均振幅で約0.2nmであるのに対し、1550°Cのアニールでは、約3nmになる。この凹凸は、高温領域においては表面のSi原子の脱離が激しくなることによって発生すると考えられる。

【0008】その結果、表面形状による散乱のため表面近傍の移動度が低下したり、接触抵抗の増大を招いたりするという問題が発生する。特に、MOSFETでは、表面近傍に誘起した層でのキャリアの輸送が重要であり、表面近傍の移動度は表面状態により大きな影響を受ける。上記の問題点に鑑み本発明の目的は、イオン注入後高温のアニールを行っても表面荒れが発生せず、特性の低下を招くことのないSiC半導体素子の製造方法を提供することにある。

## 【0009】

【課題を解決するための手段】上記の課題を解決するため本発明は、SiC基板にイオン注入を行い、高温でアニールを実施するSiC半導体素子の製造方法において、イオン注入後、基板表面にシリコンを接触させてアニールを行い、その後そのシリコンを除去するものとする。

【0010】そのようにすれば、SiC基板表面からのSi表面原子の脱離が防止され、平滑な表面をもつSiC半導体基板が得られる。Siであれば、アニール中に

SiC基板表面層に拡散し、特性が変化することもなく、また、アニール後の除去も容易である。特に、SiC基板表面に接するSiとして、Si薄膜を堆積するといよ。

【0011】Si膜を堆積することによりSiC基板表面からのSi原子の離脱を防止できる。Si膜とSiC膜、或いはSi膜とアルミナ（以下Al<sub>2</sub>O<sub>3</sub>と記す）膜とを順次堆積した積層膜を堆積してもよい。Siの融点は1420°Cとアニール温度と同程度であるため、アニール中に蒸発し続ける。従って、アニール中に堆積したSi膜が消滅して、SiC基板のSi原子の脱離が始まらないように、保持温度、保持時間等のアニール条件によって堆積するSi膜の膜厚を厚くしなければならない。しかしながら、その上に耐熱性の薄膜、例えば昇華温度が2200°CのSiC膜や、融点が2050°CのAl<sub>2</sub>O<sub>3</sub>膜を堆積すれば、Si膜の消滅を防止できる。耐熱性の薄膜の下にSi膜を堆積すれば、耐熱性の薄膜の原子が、アニール中にSiC基板に拡散し、特性が変化するのを防ぐことができる。

【0012】容器中に、SiC基板とSi片を入れ、融解したSi中でアニールしても良い。勿論溶融Siと反応しない容器、例えば炭化けい素容器を用いる。Si膜をふっ硝酸により除去するものとする。ふっ硝酸を使用すれば、Si膜の溶解が容易であり、Si膜およびその上の耐熱性の薄膜も除去できる。

【0013】

【発明の実施の形態】【実施例1】図1(a)～(c)は本発明によるSiC半導体素子の製造工程順に示した主な工程ごとの断面図である。(0001) Si面から(1, 1, -2, 0)方向に8°傾けた主面をもつn型4H-SiCウェハ1を用意し、約10μmのエピタキシャル層2を成長させた。初期の表面粗さは、平均振幅で約0.1nm以下である。このSiCウェハに、1000°Cで加速電圧180keV、100keV、50keV、総ドーズ量5×10<sup>14</sup>cm<sup>-2</sup>の条件でアルミニウム(Al)のイオン注入を行った【図1(a)】。イオン注入層3の深さは約0.4μmであり、深さ方向に関してほぼ平坦な不純物濃度プロファイルが形成された。

【0014】次にこのSiC基板のイオン注入層3の表面上に、モノシリコン(SiH<sub>4</sub>)とヘリウム(He)との混合ガスを用い、減圧CVD法により厚さ約10μmの多結晶Si膜4を堆積した【同図(b)】。成膜温度は600°C、ガス圧力は100Paである。続いて、このSiC基板を常圧Ar雰囲気中、1500°Cで30分間アニールを行った。

【0015】アニール後、このSiC基板をふっ硝酸溶液(ふっ酸:硝酸=1:4)に20分間浸漬し、多結晶Si膜4を除去した【同図(c)】。この時、表面粗さの平均振幅は0.1nmであり、アニール前の値とほとんど変化しなかった。なお、表面粗さの平均振幅は、い

ずれも原子間力顕微鏡(AFM: Atomic Force Microscope)の観測結果から算出した。

【0016】この試料について、van der Pauw法によりキャリアの移動度を評価した。すなわち、試料のイオン注入層3の表面上の四隅に、金属マスクを使ったスパッタ法によりアルミニウム(Al)電極を形成する。電極の直径は500μm、厚さは500nmである。その後、金属と半導体間で整流性を除きオーム接觸とするため、Ar雰囲気中で900°C、10分間のアニールをおこなった。

【0017】この結果、移動度は40cm<sup>2</sup>/Vsと、多結晶Si膜4を積層しない場合と比べるとほぼ二倍に増大した。

【実施例2】実施例1と同様にイオン注入を行い、多結晶Si膜4を堆積した後、さらに常圧CVD法によりSiC膜5を約10μm成膜した【図2(a)】。成膜温度は1200°Cとした。このSiC膜5は多結晶膜となる。その後、実施例1と同様のアニールを行った。

【0018】アニール後、先ず四ふっ化炭素(CF<sub>4</sub>)ガスを用いたドライエッチングによりSiC膜5を除去した【同図(b)】。条件は、圧力0.66Pa、RFパワーは1kWとした。その後、実施例1と同様にして、多結晶Si膜4を溶解除去した【同図(c)】。

【0019】その結果、表面粗さは、ほぼ初期の値に保たれた。このSiC基板についても、実施例1と同様にキャリア移動度の評価をおこなったところ、実施例1とほぼ同じ値が得られた。SiC膜5の成膜は、アルゴン(以下Arと記す)を用いたスパッタ法によても可能である。条件としては、例えば、温度300°C、圧力

30 0.66Pa、RFパワーは500Wとすればよい。

【0020】【実施例3】実施例1と同様にイオン注入層3上に多結晶Si膜4を堆積した後、さらにArを用いたスパッタ法によりAl<sub>2</sub>O<sub>3</sub>膜を1μm堆積した。成膜条件は、基板温度300°C、圧力0.66Pa、RFパワー500Wである。実施例1と同様にアニールを行った後、Al<sub>2</sub>O<sub>3</sub>膜の除去は、スパッタエッチングによりおこなった。スパッタガスとしてはArを用い、圧力0.66Pa、RFパワー1kWとした。多結晶Si膜4の除去は実施例1と同様にしておこなった。

【0021】その結果、表面粗さはほぼ初期の値に保たれた。実施例1と同様にキャリア移動度の測定を行ったところ、約40cm<sup>2</sup>/Vsと実施例1と同様の値が得られた。

【実施例4】SiC製のアニール容器7に、イオン注入後のSiC基板とSi片とを入れ、加熱してSi片を溶融する。アニール温度がSiの融点1415°Cを越えるとSi片は融解し、SiC基板のイオン注入層3の表面は溶融Si<sub>6</sub>により被覆される【図3(a)】。

【0022】アニール終了後、冷却固化したSiの付着したSiC基板をふっ硝酸溶液に1時間浸漬し、付着し

たSiを除去した【同図(b)】。その結果、表面粗さはほぼ初期の値に保たれ、キャリア移動度も実施例1と同様の値が得られた。

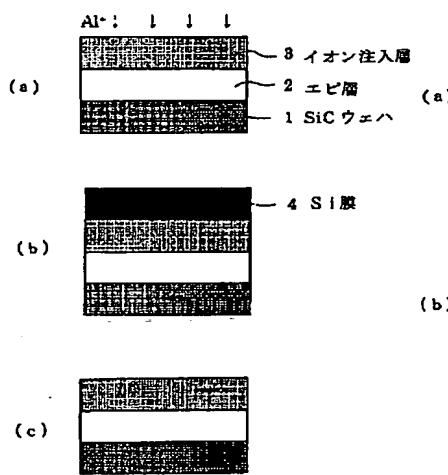
### 【0023】

【発明の効果】以上説明したように本発明によれば、イオン注入を行い、高温でアニールを実施する炭化けい素半導体素子の製造方法において、アニール前に基板表面に薄膜を積層することによって基板表面の平滑性を保つことができ、表面の平滑な炭化けい素半導体素子とすることができる。その結果、特に表面層のキャリアの移動度の低下を防ぐことができる。これらは、MOSFETのスイッチングの遅延を防ぐことになり、損失低減、高周波化に大きな寄与をなすことになる。また、作製された半導体装置素子における特性の均一化も図られる。

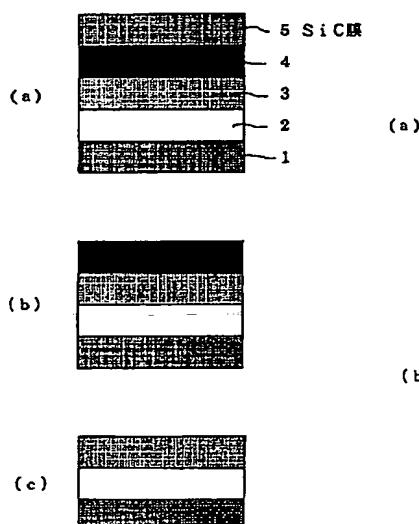
### 【図面の簡単な説明】

【図1】本発明実施例1の方法にかかる工程順に示した、(a)はイオン注入後、(b)は多結晶Si膜堆積\*

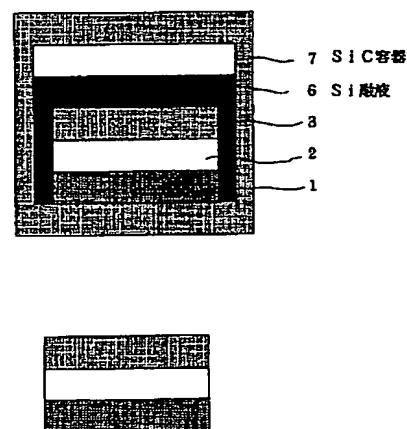
【図1】



【図2】



【図3】



\*後、(c)は多結晶Si膜除去後のSiC基板の模式的断面図

【図2】本発明実施例2の方法にかかる工程順に示した、(a)は多結晶Si膜およびSiC膜堆積後、(b)は多結晶SiC膜除去後、(c)は多結晶Si膜除去後のSiC基板の模式的断面図

【図3】本発明実施例4の方法にかかる工程順に示した、(a)はアニール中のアニール容器内断面図、(b)は溶融晶Si除去後のSiC基板の模式的断面図

### 10 【符号の説明】

- 1…SiCウェハ
- 2…エピタキシャル層
- 3…イオン注入層
- 4…Si膜
- 5…SiC膜
- 6…Si融液
- 7…SiC容器

This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**  
As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox